

4

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-326206

(43)Date of publication of application : 16.11.1992

(51)Int.Cl.

H03F 3/60
H03F 1/02
H03F 3/193

(21)Application number : 03-094633

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.04.1991

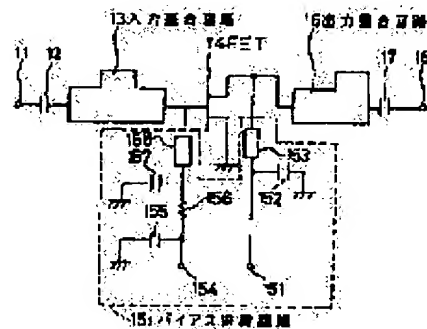
(72)Inventor : FURUYA OSAHISA
MATSUMOTO KAZUHIRO

(54) POWER AMPLIFIER

(57)Abstract:

PURPOSE: To improve efficiency and to miniaturize a circuit concerning the power amplifier to execute the F-class amplifying operation of a microwave band.

CONSTITUTION: This power amplifier is composed of an input matching circuit 13 to match an impedance to a fundamental wave, FET 14 for amplification, bias supply circuit 151 and output matching circuit 16 to match efficiency at the fundamental wave. In the bias supply circuit 151, $\pi/4$ transmission lines (λ is the wavelength of the fundamental wave) 153 and 158 are provided, and the 2nd-order higher harmonic wave of the fundamental wave is turned to a short-circuited state in a prescribed distance from the output drain terminal of the FET 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成4年(1992)11月16日

審査請求 未請求 請求項の数7(全 8 頁)

(74)代理人 弁理士 伊東 忠彦 (外2名)

1

【特許請求の範囲】

【請求項1】 入力信号周波数帯域内の任意の周波数の基本波に対してインピーダンス整合をとる入力整合回路(13)と、該入力整合回路(13)からの信号が制御電極に供給され、これを増幅して出力電極より取り出す高周波トランジスタ(14)と、該高周波トランジスタ(14)の出力電極に接続され、前記基本波で効率整合をとる出力整合回路(16)と、少なくとも前記高周波トランジスタ(14)の出力電極に接続された第1の $\lambda/4$ 伝送線路(ただし、 λ は前記基本波の波長)を有し、該高周波トランジスタ(14)の出力電極及び制御電極にバイアス電圧を供給するバイアス供給回路(15₁～15₄)とを有し、前記バイアス供給回路(15₁～15₄)により前記高周波トランジスタ(14)の出力端から所定距離範囲内において前記基本波の第2次高調波に対してショート状態としたことを特徴とする電力増幅器。

【請求項2】 前記バイアス供給回路(15₁、15₃)は、第1のバイアス電圧入力端子(151)と前記高周波トランジスタ(14)の出力電極との間に接続された第1の $\lambda/4$ 伝送線路(153)と、該第1の $\lambda/4$ 伝送線路(153)と該第1のバイアス電圧入力端子(151)との間に非接地側端子が接続された第1のコンデンサ(152)とを有することを特徴とする請求項1記載の電力増幅器。

【請求項3】 前記バイアス供給回路(15₁、15₄)は、第2のバイアス電圧入力端子(154)と前記高周波トランジスタ(14)の制御電極との間に接続された第1の抵抗(156)及び第2の $\lambda/4$ 伝送線路(158)と、該第1の抵抗(156)の両端に夫々非接地側端子が接続された第2及び第3のコンデンサ(155、157)とを有することを特徴とする請求項1記載の電力増幅器。

【請求項4】 前記バイアス供給回路(15₃、15₄)は、第1のバイアス電圧入力端子(151)、第1のコンデンサ(152)及び第1の $\lambda/4$ 伝送線路(153)の共通接続点と接地との間に、第2の抵抗(159)及び第4のコンデンサ(160)の直列回路が接続されていることを特徴とする請求項1記載の電力増幅器。

【請求項5】 前記バイアス供給回路(15₃、15₄)は、前記高周波トランジスタ(14)の制御電極に一端が接続され、他端が前記第2のバイアス電圧入力端子(154)と接地に夫々接続された第3の抵抗(161)と第4の抵抗(162)とを有することを特徴とする請求項1記載の電力増幅器。

【請求項6】 前記バイアス供給回路(15₁～15₄)内の前記第1の $\lambda/4$ 伝送線路(153)と前記出力整合回路(16)との間に、 $\lambda'/4$ のオープンスタブ(ただし、 λ' は前記基本波の第3次高調波の波

2

長)(22)を設けたことを特徴とする請求項1乃至5のうちいずれか一項記載の電力増幅器。

【請求項7】 前記バイアス供給回路(15₁～15₄)内の前記第1の $\lambda/4$ 伝送線路(153)と前記出力整合回路(16)との間に、伝送線路によるインダクタンス(24)とコンデンサ(25)とからなる、前記基本波の第3次高調波に対して共振する直列共振回路を設けたことを特徴とする請求項1乃至5のうちいずれか一項記載の電力増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電力増幅器に係り、特にマイクロ波帯のF級電力増幅器に関する。

【0002】近年、移動無線の実用化が活発に行われている。移動無線送装置では、その電源として電池が使用されるため、装置内に組込まれる回路には、低消費電力性が強く要求される。そのため、特に、装置全体の大部分を占める送信用電力増幅器の高効率化が強く望まれている。

【0003】

【従来の技術】高効率電力増幅器として近年F級動作の電力増幅器が提案されている。図13はこのF級動作を行なう従来の電力増幅器の一例の回路図を示す。同図中、NPNトランジスタ31はベースが入力端子30に接続され、コレクタがチョークコイル32を介して電源端子に接続される一方、コイル33及びコンデンサ34の並列回路を介して出力端子37に接続されている。また、出力端子37、37'間にはコイル35及びコンデンサ36の並列回路が接続されている。更に38はNPNトランジスタ31の寄生容量を示す。

【0004】かかる電力増幅器において、トランジスタ31のベース入力信号の基本波の第2次高調波に対して、出カインピーダンスが零となり、また基本波の第3次高調波に対して出カインピーダンスが無限大となるよう各回路定数が設定される。これにより、トランジスタ31がスイッチング動作を行ない、理想的にはトランジスタ31のコレクタ電圧V_cが図14に示す如く矩形波となり、コレクタ出力電流I_cが同図に示す如く半波整流波となり、また出力電圧V_cと出力電流I_cとの出力期間が重畳しない、というF級動作が行なわれる。

【0005】しかし、上記の従来の電力増幅器では、100MHz以上の高周波入力信号に対しては寄生容量38や内部接続インダクタンスにより、上記の出カインピーダンスが第2次高調波に対して零、第3次高調波に対して無限大というF級動作の回路条件を満たさなくなり、また1つ以上の同期回路が必要となり量産化が難しく、帯域も狭い。

【0006】そこで、従来、図15に示す如き電力増幅器が提案された(米国特許第4717884号)。同図中、41は電界効果トランジスタ(FET)で、GaA

sを用いたMES (metal semiconductor) FETであり、そのドレイン・ソース間に寄生容量42を有し、またドレインが接続インダクタンス43を介してチョークコイル44とコイル45の共通接続点に接続されている。チョークコイル44は他端に電源電圧が入力され、FET41のバイアス供給回路を構成している。

【0007】コイル45の他端は先端開放スタブ46に接続されると共に、スタブ47を介してコンデンサ48及びコイル49の直列回路とコンデンサ50及び抵抗51の直列回路との並列回路の一端に接続されている。

【0008】かかる構成の電力増幅器において、信号源52からFET41のゲートに入力される高周波信号の基本波の第3次高調波に対して、コイル45、接続インダクタンス43及び寄生容量42が並列共振して、FET41のドレイン端41Dがハイインピーダンスになる。このとき、スタブ46は $\lambda/4$ 長となる。一方、基本波の第2次高調波に対してはスタブ46の容量性インピーダンス2とコイル45及び接続インダクタンス43が直列共振してドレイン端41Dがローインピーダンスとなる。このとき、スタブ46は $\lambda/6$ 長となる。

【0009】また、図中、コイル45、スタブ46、47、コンデンサ48、コイル49は出力整合回路を構成しており、FET41の出力端子から負荷抵抗51へ基本波で効率整合をとっている。更にこの出力整合回路は負荷変動があっても、FET41のドレイン端41Dでの第2次高調波ローインピーダンス、第3次高調波ハイインピーダンスというF級動作条件に影響を及ぼさないように、スタブ47とコンデンサ48及びコイル49により低域フィルタ特性を有するよう構成されている。

【0010】これにより、この従来の電力増幅器によれば、マイクロ波帯の入力信号に対してもF級増幅を行なった信号をドレイン端41Dから取り出すことができる。

【0011】

【発明が解決しようとする課題】しかるに、図15に示した従来の電力増幅器はFET41のドレイン端41Dで第2次高調波に対してはローインピーダンス、第3次高調波に対してはハイインピーダンスとなる条件を満足させる必要があるため、バイアス供給回路を構成するチョークコイル44に、少なくとも基本波から第3次高調波まで考慮した広帯域性が要求される。従って、バイアス供給回路として分布定数素子を利用することは困難で、図の如く集中定数素子を用いることになるが、そうすると回路構成が大型でまた、高価となってしまう。また、増幅器の安定化設計も実現しにくいという問題もある。

【0012】本発明は以上の点に鑑みてなされたもので、バイアス供給回路を少なくとも基本波から第2次高調波までを考慮した回路構成をとることにより、上記の課題を解決した電力増幅器を提供することを目的とす

る。

【0013】

【課題を解決するための手段】請求項1記載の発明になる電力増幅器は、入力信号周波数帯域内の任意の周波数の基本波に対してインピーダンス整合をとる入力整合回路と、入力整合回路からの信号が制御電極に供給され、これを増幅して出力電極より取り出す高周波数トランジスタと、高周波トランジスタの出力電極に接続され、基本波で効率整合をとる出力整合回路とバイアス供給回路とを有する。

【0014】バイアス供給回路は少なくとも高周波トランジスタの出力電極に接続された第1の $\lambda/4$ 伝送線路（ただし、 λ は前記基本波の波長）を有し、高周波トランジスタの出力電極及び制御電極にバイアス電圧を供給する。

【0015】また請求項6又は7記載の発明ではバイアス供給回路内の第1の $\lambda/4$ 伝送線路と出力整合回路との間に、 $\lambda'/4$ のオープンスタブ（ただし、 λ' は基本波の第3次高調波の波長）、又は伝送線路によるインダクタンスと集中定数コンデンサによる、共振周波数が前記第3次高調波に等しい直列共振回路を設ける。

【0016】

【作用】請求項1記載の発明では、バイアス供給回路内の第1の $\lambda/4$ 伝送線路により、高周波トランジスタの出力端から所定距離範囲内において基本波の第2次高調波に対してショート状態とすることができる。ただし、基本波の第3次高調波に対しては、上記バイアス供給回路によっては、高周波トランジスタの寄生容量のために高周波トランジスタの出力端をオープン状態とすることができない。

【0017】しかし、高周波トランジスタを用いた電力増幅器の効率、第2次高調波の終端条件に依存することが知られている（例えばY. IKEDA他：“High Efficiency Operation of FET Using Second Harmonic Injection”, Pacific Microwave Conference Proceedings, Tokyo, 1990, P-685-688）。

【0018】そこで、請求項1記載の発明では上記の点に鑑み、第3次高調波に対してオープン（又は高インピーダンス）という条件を併せ有さなくとも、第2次高調波に対してショート（低インピーダンス）という条件を有することで、高効率の電力増幅器を得るようにしたものである。

【0019】また、請求項6又は7記載の発明では、高周波トランジスタの出力端でのインピーダンスを第2次高調波に対してローインピーダンス、第3次高調波に対してハイインピーダンスとすることができるため、第3次高調波までのF級電力増幅動作ができる。

【0020】

【実施例】図1は本発明の第1実施例の回路図を示す。同図中、入力端子11は結合コンデンサ12及び入力整

合回路13を直列に介して高周波トランジスタであるFET14のゲートに接続されている。入力端11には900MHz帯の移動無線送信周波信号が入力される。入力整合回路13は900MHz帯内の任意の周波数(例えば942MHz)である基本波に対してインピーダンス整合をとる回路である。FET14は化合物半導体(例えばGaAs)と金属とのショットキー接触をゲート電極とするMES FETで上記のマイクロ波帯の移動無線送信周波信号を電力増幅する。

【0021】15₁はバイアス供給回路で、第1のバイアス電圧入力端子151が第1のλ/4伝送線路153を介してFET14の出力電極であるドレインに接続される一方、入力端子151とλ/4伝送線路153との接続点が第1のコンデンサ152を介して接地され、また第2のバイアス電圧入力端子154が第1の抵抗156及び第2のλ/4伝送線路158を直列に介してFET14の制御電極であるゲートに接続される一方、抵抗156の両端が夫々コンデンサ155、157を介して接地された構成とされている。入力端子151には例えば+6Vのバイアス電圧が入力され、入力端子154には例えば-5Vのバイアス電圧が入力される。

【0022】FET14のドレインは、また出力整合回路16及び結合コンデンサ17を直列に介して出力端子18に接続されている。出力整合回路16は前記基本波で効率整合をとる回路で、FET14のドレイン出力信号中から基本波を取り出す低域フィルタ特性を有している。

【0023】本実施例では基本波以上の高周波信号に対してはコンデンサ152、155、157によりλ/4伝送線路153、158のバイアス電圧入力端子151、154が接地にショートされた状態とされている。また、λ/4伝送線路153、158の電気低条件は、基本波に対してはオープン、第2次高調波に対してはショート、第3次高調波に対してはオープンとなる。しかし、実際にはFET14のドレイン・ソース間の寄生容量、及びFET14のドレインとλ/4伝送線路153との間の接続インダクタンス(いずれも図示せず)の存在により、FET14のドレイン端(この場合はチップキャリア又はトランジスタチップを使用)から所定距離範囲(本発明者の実験によればλ/24以内)では第3次高調波に対してオープン状態とならないが、第2次高調波に対してショート状態が得られる。

【0024】これにより、前記したようにFET14により高効率の増幅を行なわせることができる。

【0025】また、本実施例ではバイアス供給回路15₁にλ/4伝送線路153、158を用いることにより、前記したように基本波に対してオープン、第2次高調波に対してはショートの特性を得、第2次高調波に対してはFET14のドレイン出力端のインピーダンスがローインピーダンスにみえるようにしており、λ/4伝

送線路153、158の上記性質を利用することにより、バイアス供給回路15₁を従来の如き広帯域性を有さなくとも構成することができる。従って、本実施例では、バイアス供給回路15₁にλ/4伝送線路153、158を用いることができるため、従来に比べて回路を小型化でき、また製造コストの低減ができる。

【0026】図2は本発明の第2実施例の回路図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。図2に示す第2実施例は、バイアス供給回路15₁の構成がバイアス供給回路15₁と異なる点に特徴がある。すなわち、バイアス供給回路15₁にはバイアス電圧入力端子151、コンデンサ152及びλ/4伝送線路153の共通接続点と接地間に、抵抗159及びコンデンサ160よりなる直列回路が挿入接続されている。

【0027】入力整合回路13は基本波帯域内で50Ωにマッチング調整されているが、基本波帯域外では50Ωにマッチしていない。そのため、基本波帯域より低周波数領域では、周知の如くデバイスのSパラメータを用いて算出されるデバイスの安定定数Kが“1”より小となり、デバイスの不安定領域に入り、マッチングがとれなくなって発振する可能性がある。

【0028】しかして、本実施例によれば、上記低周波数領域ではλ/4伝送線路153、158がλ/8等のように伝送線路が短くみえてくるが、抵抗159を50Ωに設定しておくことで、入力整合回路13に抵抗159が並列に作用し、回路の安定化が図られる。なお、抵抗156も上記と同様にして、回路の安定化のために設けられ、50Ωに設定されている。

【0029】次に本発明の第3実施例について説明する。図3は本発明の第3実施例の回路図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。図3に示す第3実施例は、バイアス供給回路15₁のFET14のゲート側回路部の構成に特徴がある。

【0030】すなわち、バイアス供給回路15₁のFET14のゲート側回路部は、FET14のゲートに各一端が接続され、他端がバイアス電圧入力端子154と接地に夫々接続された第3の抵抗161と第5のコンデンサ163と第4の抵抗162から構成されている。

【0031】前記したように、バイアス供給回路15₁及び15₂ではλ/4伝送線路153、158を用いているため、集中定数回路素子(例えばチョークコイル)を用いた従来回路に比し、小型化、製造コストの低減化が可能な構成とされている。しかし、上記の各実施例ではFET14のゲート入力側バイアス供給回路部にλ/4伝送線路158が使用されているため、平面回路のパターン面積が広くなり、それ以上の小型が困難である。

【0032】そこで、本実施例では抵抗161及び162により、入力端子154からのバイアス電圧を抵抗分

7

圧してFET14のゲートに印加する構成としたものである。これにより、本実施例は第1及び第2実施例に比し、より回路の小型化が可能である。なお、抵抗161及び162は高周波信号の減衰を極力小とするため、高抵抗（例えば2KΩ以上）に設定されており、また抵抗161の方が抵抗162よりも大なる抵抗値に設定されて所要のゲートバイアス電圧を得ている。

【0033】次に本発明の第4実施例について図4と共に説明する。図4は本発明の第4実施例の回路図を示す。同図中、図2及び図3と同一構成部分には同一符

号を付し、その説明を省略する。本実施例は図2と図3の第2及び第3実施例を組み合わせた構成で、回路の安定化と小型化をより一層考慮した構成である。

【0034】図5乃至図8は夫々本発明の第5乃至第8実施例の回路図を示す。各図中、図1乃至図4と同一構成部分には同一符号を付し、その説明を省略する。これらの実施例は請求項6記載の発明の実施例で、バイアス供給回路15₁～15₄を有する電力増幅器において、λ/4伝送線路153とFET14の接続点を外部インダクタンス21を介して出力整合回路16に接続すると共に、オープスタブ（先端開放スタブ）22を設けた点に特徴がある。なお、図5乃至後述の図12では、FET14の寄生容量141と接続インダクタンス142を

図示してある。

【0035】ここで、上記のオープスタブ22の伝送線路長は、基本波の第3次高調波の波長λ'の1/4倍である。これにより、上記の各実施例では、λ/4伝送線路153が第2次高調波に対してショートとなることを利用してFET14のドレイン端で第2次高調波に対してローインピーダンスとすると共に、オープスタブ22と寄生容量141と接続インダクタンス142、外部インダクタンス21とによりFET14のドレイン端で第3次高調波に対してハイインピーダンスとすることができる。

【0036】従って、上記の第5乃至第8実施例では第2次高調波及び第3次高調波までを考慮したF級動作による高効率電力増幅動作ができ、第1乃至第4実施例と比較しても約5～8%ドレイン効率を向上できる。

【0037】図9乃至図12は夫々本発明の第9乃至第12実施例の回路図を示す。各図中、図5乃至図8と同一構成部分には同一符号を付し、その説明を省略する。第9乃至第12実施例は請求項7記載の発明の実施例で、バイアス供給回路15₁～15₄を有する各電力増幅器において、外部インダクタンス21及び出力整合回路16の接続点と接地との間に、伝送線路24とコンデンサ25とよりなる直列共振回路を設けた点に特徴がある。

【0038】すなわち、上記の直列共振回路は伝送線路24によるインダクタンスと、コンデンサ25との容量により、前記第3次高調波に対して直列共振するように

8

構成されている。このため、第9乃至第12実施例もFET14のドレイン端で第3次高調波に対してハイインピーダンスとすることができる。これにより、第9乃至第12実施例も第5乃至第8実施例と同様に基本波から第3次高調波までを考慮したF級動作による高効率電力増幅動作を行なうことができる。

【0039】なお、本発明は以上の実施例に限定されるものではなく、例えば増幅用能動素子はFET14に限らず、マイクロ波帯に使用可能なバイポーラトランジスタでもよい。

【0040】

【発明の効果】上述の如く、請求項1及び2記載の発明によれば、バイアス供給回路に入/4伝送線路を設けて少なくとも第2次高調波の終端条件を満足するようにしたため、高効率で回路構成を小型化できると共に製造コストの低減を実現することができ、また請求項3記載の発明によれば、回路をより安定化させることができ、請求項4記載の発明によれば回路をより小型化でき、更に請求項5記載の発明によれば回路の小型化、製造コストの低減化及び回路の安定化を夫々より一層向上することができる。また、請求項6、7各記載の発明では基本波から第3次高調波までを考慮したF級電力増幅動作ができるため、より高効率の電力増幅ができる等の特長を有するものである。

【図面の簡単な説明】

【図1】本発明の第1実施例の回路図である。

【図2】本発明の第2実施例の回路図である。

【図3】本発明の第3実施例の回路図である。

【図4】本発明の第4実施例の回路図である。

【図5】本発明の第5実施例の回路図である。

【図6】本発明の第6実施例の回路図である。

【図7】本発明の第7実施例の回路図である。

【図8】本発明の第8実施例の回路図である。

【図9】本発明の第9実施例の回路図である。

【図10】本発明の第10実施例の回路図である。

【図11】本発明の第11実施例の回路図である。

【図12】本発明の第12実施例の回路図である。

【図13】従来の一例の回路図である。

【図14】図13の動作説明信号波形図である

【図15】従来他の例の回路図である。

【符号の説明】

11 マイクロ波帯信号入力端子

13 入力整合回路

14 高周波信号増幅用GaAsMES電界効果トランジスタ（FET）

15₁～15₄ バイアス供給回路

16 出力整合回路

18 出力端子

21 外部インダクタンス

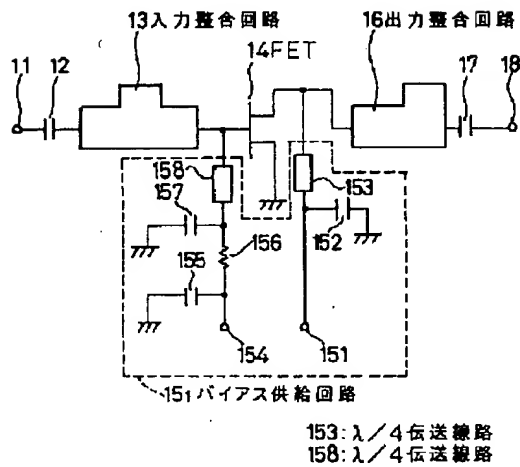
22 オープンスタブ

9

- 24 伝送線路
 25 直列共振コンデンサ
 151 第1のバイアス電圧入力端子
 152 第1のコンデンサ
 153 第1の $\lambda/4$ 伝送線路
 154 第2のバイアス電圧入力端子
 155 第2のコンデンサ
 156 第1の抵抗

【図1】

本発明の第1実施例の回路図

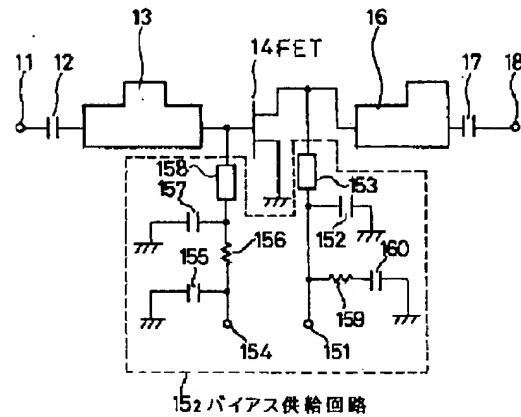


10

- 157 第3のコンデンサ
 158 第2の $\lambda/4$ 伝送線路
 159 第2の抵抗
 160 第4のコンデンサ
 161 第3の抵抗
 162 第4の抵抗
 163 第5のコンデンサ

【図2】

本発明の第2実施例の回路図

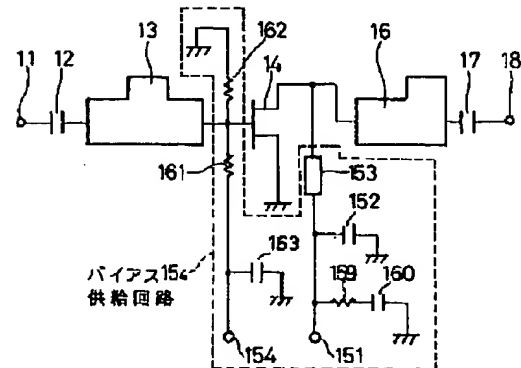
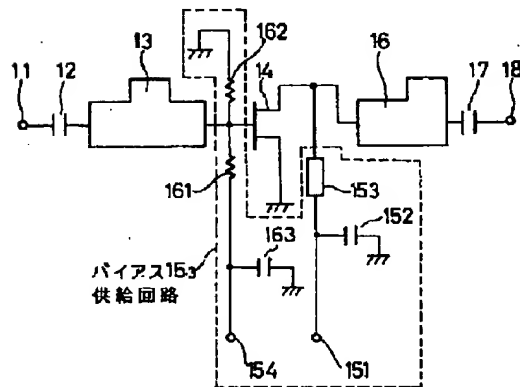


【図4】

本発明の第4実施例の回路図

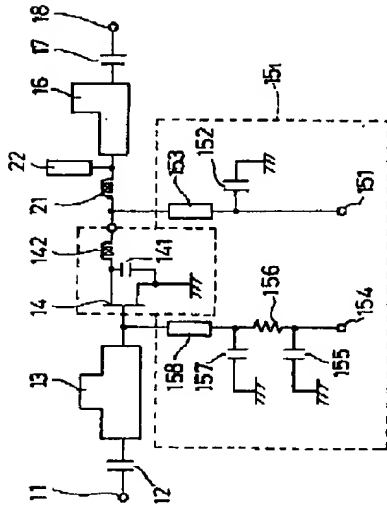
【図3】

本発明の第3実施例の回路図



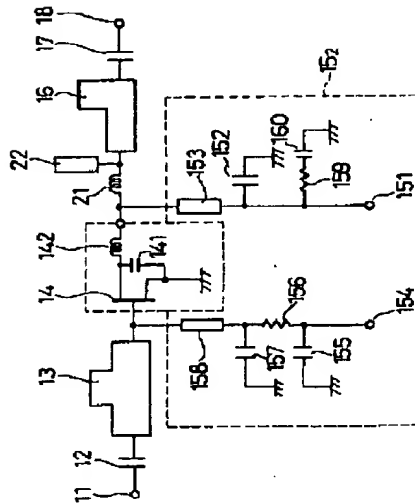
【図5】

本発明の第5実施例の回路図



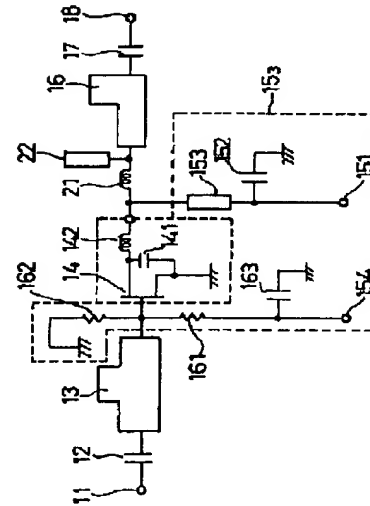
【図6】

本発明の第6実施例の回路図



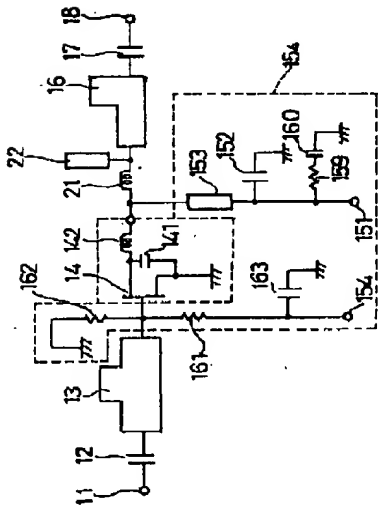
【図7】

本発明の第7実施例の回路図



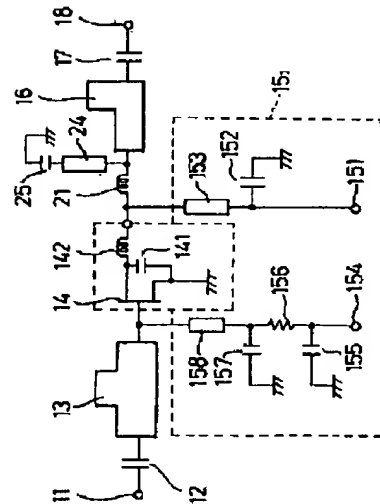
【図8】

本発明の第8実施例の回路図



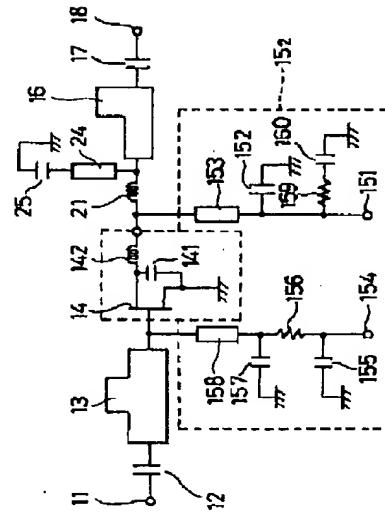
【図9】

本発明の第9実施例の回路図



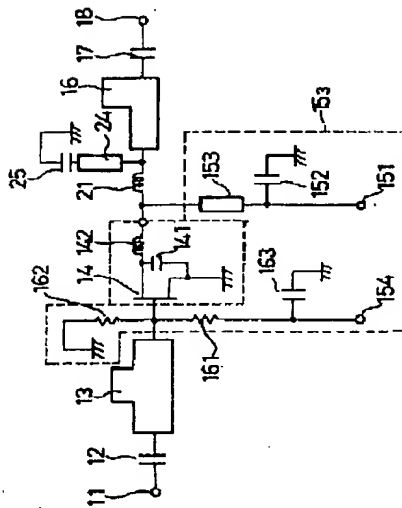
【図10】

本発明の第10実施例の回路図



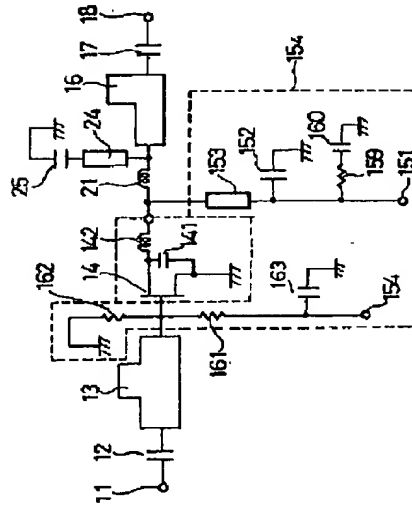
【図11】

本発明の第11実施例の回路図



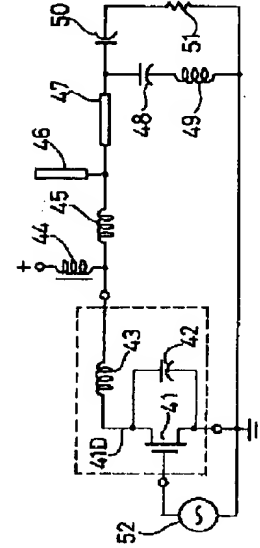
【図12】

本発明の第12実施例の回路図



【図15】

従来の他の例の回路図



【図13】

従来の一例の回路図

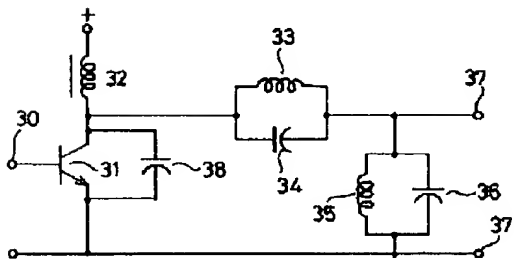


図13の動作説明用信号波形図

